

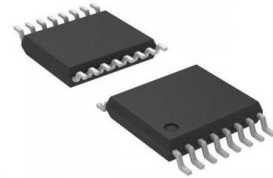
96kHz 24 位 $\Delta\Sigma$ ADC

产品简述

MS5358 是带有采样速率 8kHz ~ 96kHz 的立体声 A/D 转换器，适合于面向消费者的专业音频系统。

MS5358 通过使用增强型双位 $\Delta\Sigma$ 技术来实现其高精度的特点。MS5358 是单端的模拟输入所以不需要外部器件。

音频接口有两种模式（最高有效位对齐，I²S）适合用于像 DTV，DVR 和 AV 接收器的系统。



TSSOP16

主要特点

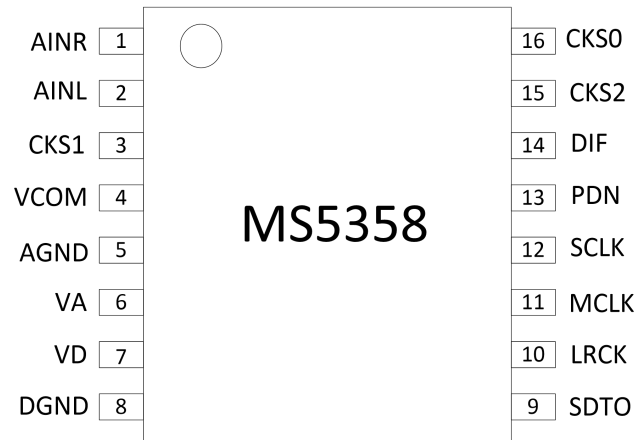
- 线性相位抗混叠数字滤波器
- 单端输入
- 带失调电压消除的数字高通滤波器
- 信噪失真比： 92dB
- 动态范围： 102dB
- 信噪比： 102dB
- 采样速率 8kHz 到 96kHz
- 主时钟：
 - 256fs/384fs/512fs/768fs (8kHz ~ 48kHz)
 - 256fs/384fs (48kHz ~ 96kHz)
- 输入电平： CMOS
- 主机/从机模式
- 音频接口： 24 位最高有效位对齐/I²S
- 电源： 4.5 ~ 5.5V 模拟， 2.7 ~ 3.6V 数字
- 温度范围 -40 ~ 100°C
- TSSOP16 封装

应用

- 音频接口
- DTV、 DVR 和 AV 接收器

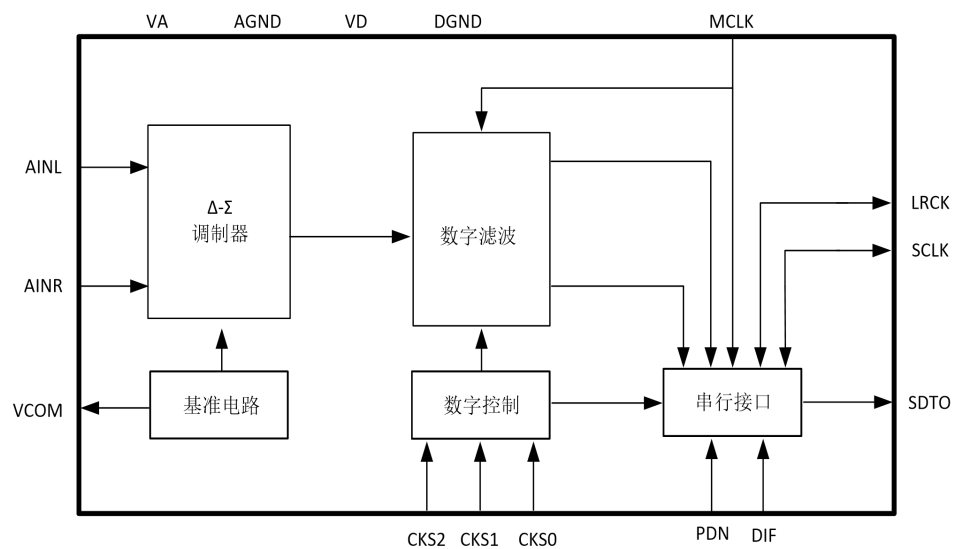
产品规格分类

产品	封装形式	丝印名称
MS5358	TSSOP16	MS5358

管脚图

管脚说明

管脚编号	管脚名称	管脚属性	管脚描述
1	AINR	I	Rch 模拟输入引脚
2	AINL	I	Lch 模拟输入引脚
3	CKS1	I	模式选择 1 引脚
4	VCOM	O	共模电压输出引脚, VA/2 的 ADC 输入偏置电压
	AGND	-	模拟地引脚
5	VA	-	模拟电源引脚, 4.5 ~ 5.5V
6	VD	-	数字电源引脚, 2.7 ~ 3.6V
7	DGND	-	数字地引脚
8	SDTO	O	音频串口数据输出引脚, 掉电模式输出为低
9	LRCK	I/O	输出通道时钟引脚, 主机模式下的掉电模式输出为低
10	MCLK	I	主时钟输入引脚
11	SCLK	I/O	音频串口数据时钟引脚, 主机模式下的掉电模式输出为低
12	PDN	I	掉电模式&复位模式, “H”: 上电, “L”: 掉电&复位。MS5358 在上电后必须复位一次
13	DIF	I	音频接口类型选择引脚 “H”: 24 位兼容 I ² S, “L”: 24 位最高有效位对齐
14	CKS2	I	模式选择 2 引脚
15	CKS0	I	模式选择 0 引脚
16	AINR	I	Rch 模拟输入引脚

内部框图



极限参数

芯片使用中，任何超过极限参数的应用方式会对器件造成永久的损坏，芯片长时间处于极限工作状态可能会影响器件的可靠性。极限参数只是由一系列极端测试得出，并不代表芯片可以正常工作在此极限条件下。

AGND, DGND = 0V⁽¹⁾

参数		符号	额定值	单位
供电电压	模拟	VA	-0.3 ~ 6.0	V
	数字	VD	-0.3 ~ 4.6	V
	$ AGND - DGND $ ⁽²⁾	ΔGND	0.3	V
除了电源之外，任何引脚的输入电流		IIN	±10	mA
模拟输入电压 (AINL、AINR、CKS1 引脚)		VINA	-0.3 ~ VA+0.3	V
数字输入电压 ⁽³⁾		VIND	-0.3 ~ VD+0.3	V
环境温度		Ta	-40 ~ 105	°C
存储温度		Tstg	-65 ~ 150	°C

(1)所有的电压都以地为基准

(2) AGND和DGND必须连接到同一个模拟地

(3) PDN、DIF、MCLK、SCLK、LRCK、CKS0、CKS2引脚

电气参数

推荐工作电压

AGND, DGND = 0V

参数		符号	最小值	典型值	最大值	单位
供电电压	模拟	VA	4.5		5.5	V
	数字	VD	2.7		3.6	V

VA 和 VD 的上电顺序没有明确要求

无用引脚处理

类别	管脚名称	设置
模拟	AINR	引脚应该开路
	AINL	引脚应该开路

模拟特性

除非特别说明, Ta = 25°C; VA = 5.0V, VD = 3.3V, AGND = DGND = 0V; fs = 48kHz, 96kHz; SCLK = 64fs;

信号频率 = 1kHz; 24 位数据; 在 fs=48kHz 下测量频率为 20Hz ~ 20kHz, fs = 96kHz 下为 40Hz ~ 40kHz。

参数		最小值	典型值	最大值	单位
ADC 模拟输入特性					
精度				24	Bits
输入电压 ⁽¹⁾		2.7	3.0	3.3	Vpp
信噪失真比	fs = 48kHz BW = 20kHz	-1dBFS	82	92	dB
		-60dBFS		39	dB
	fs = 96kHz BW = 40kHz	-1dBFS		90	dB
		-60dBFS		38	dB
动态范围 (-60dBFS, A-weighted)		90	102		dB
信噪比 (A-weighted)		94	102		dB
输入阻抗	fs = 48kHz	13	20		kΩ
	fs = 96kHz	9	14		kΩ
内部通道隔离		89	95		dB
内部通道增益失配			0.1	0.5	dB
增益漂移			100		ppm/°C
电源抑制比 ⁽²⁾			50		dB
供电电源					
供电电流					
正常操作 (PDN = "H")					
VA			10	16	mA
VD (fs = 48kHz)			2	5	mA
VD (fs = 96kHz)			4	9	mA
掉电模式 (PDN = "L") ⁽³⁾					
VA+VD			10	100	uA

(1) 这个值是输入电压的全摆幅(0dB), 输入电压正比于电压 VA。Vin=0.6*VA(Vpp)

(2) 电源抑制比中电源是带有 1kHz, 50mVpp 交流信号的 VA 和 VD

(3) 所有的数字输入引脚和 CKS1 引脚都是通过 VD 和 DGND 来导通的

滤波器特性 $f_s = 48\text{kHz}$
 $T_a = -40^\circ\text{C} \sim 100^\circ\text{C}; V_A = 4.5\text{V} \sim 5.5\text{V}; V_D = 2.7\text{V} \sim 3.6\text{V}$

参数		符号	最小值	典型值	最大值	单位
ADC 数字滤波器(抽取低通滤波器)						
通带 ⁽¹⁾	$\pm 0.1\text{dB}$	PB	0		18.9	kHz
	-0.2dB		-	20.0	-	kHz
	-3.0dB		-	23.0	-	kHz
阻带		SB	28			kHz
通带纹波		PR			± 0.04	dB
阻带衰减		SA	68			dB
群延时失真		ΔGD		0		us
群延时		GD		16		1/ f_s
ADC 数字滤波器(高通滤波器)						
频率响应 ⁽²⁾	-3dB	FR		1.0		Hz
	-0.1dB			6.5		Hz

滤波器特性 $f_s = 96\text{kHz}$
 $T_a = -40^\circ\text{C} \sim 100^\circ\text{C}; V_A = 4.5\text{V} \sim 5.5\text{V}; V_D = 2.7\text{V} \sim 3.6\text{V}$

参数		符号	最小值	典型值	最大值	单位
ADC 数字滤波器(抽取低通滤波器)						
通带 ⁽¹⁾	$\pm 0.1\text{dB}$	PB	0		37.8	kHz
	-0.2dB		-	40.0	-	kHz
	-3.0dB		-	46.0		kHz
阻带		SB	56			kHz
通带纹波		PR			± 0.04	dB
阻带衰减		SA	68			dB
群延时失真		ΔGD		0		us
延时		GD		16		1/ f_s
ADC 数字滤波器(高通滤波器)						
频率响应 ⁽²⁾	-3dB	FR		2.0		Hz
	-0.1dB			13.0		Hz

(1) 通带和阻带频率随 f_s 改变, 如: $\text{PB}=18.9\text{kHz}@ \pm 0.1\text{dB}$ 是 $0.39375 * f_s$

(2) 数字滤波引入的计算延时时间

直流特性(CMOS 电平模式)

Ta = -40°C~100°C; VA = 4.5V~5.5V; VD = 2.7V~3.6V

参数	符号	最小值	典型值	最大值	单位
输入电压高电平	VIH	70%VD	-	-	V
输入电压低电平	VIL	-	-	30%VD	V
输出电压高电平 (Iout=-1mA)	VOH	VD - 0.5	-	-	V
输出电压低电平 (Iout=1mA)	VOL	-	-	0.5	V
输入泄漏电流	Iin	-	-	±10	uA

开关特性

Ta = -40°C~100 °C; VA = 4.5V~5.5V; VD = 2.7V~3.6V; CL=20pF

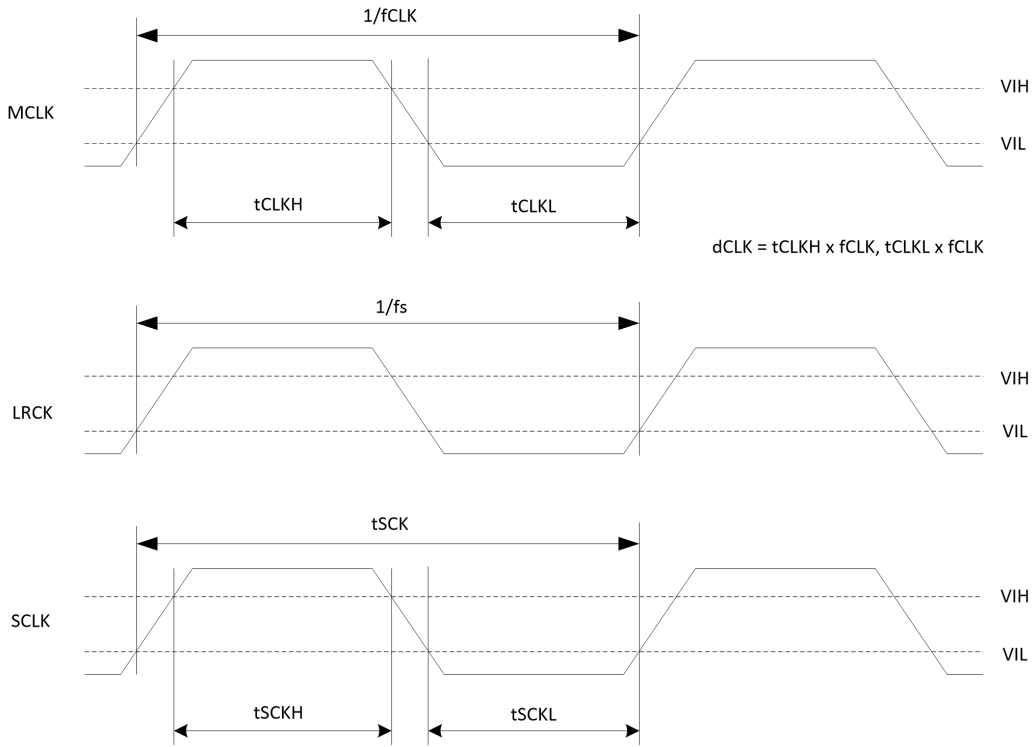
参数	符号	最小值	典型值	最大值	单位
主时钟时间					
512fs,256fs 频率	fCLK	2.048		24.576	MHz
占空比	dCLK	40		60	%
768fs,384fs 频率	fCLK	3.072		36.864	MHz
占空比	dCLK	40		60	%
LRCK 频率	fs	8		96	kHz
占空比 从机模式		45		55	%
主机模式			50		%
音频接口时间					
从机模式					
SCLK 周期	tSCK	160			ns
SCLK 低脉冲宽度	tSCKL	65			ns
高脉冲宽度	tSCKH	65			ns
LRCK 边沿到 SCLK“↑”(1)	tLRSH	30			ns
SCLK“↑”到 LRCK 边沿(1)	tSHLR	30			ns
LRCK 到 SDTO(MSB) (除 I ² S 模式)	tLRS			35	ns
SCLK“↓”到 SDTO	tSSD			35	ns
主机模式					
SCLK 频率	fSCK		64fs		Hz
SCLK 占空比	dSCK		50		%
SCLK“↓”到 LRCK	tMSLR	-40		20	ns
SCLK“↓”到 SDTO	tSSD	-40		35	ns
复位时间					
PDR 脉冲宽度(2)	tPD	150			ns
从机模式 PDN“↑”到 SDTO 有效(3)	tPDV		4132		1/fs
主机模式 PDN“↑”到 SDTO 有效(3)	tPDV		4129		1/fs

(1) SCLK 的上升沿一定不能在 LRCK 上升和下降沿上

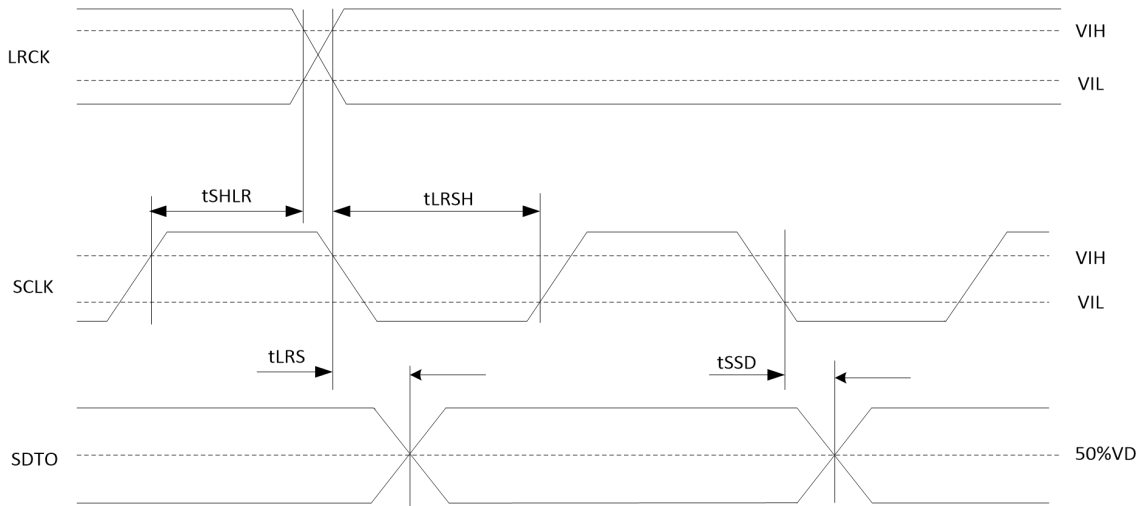
(2) MS5358 能够通过使 PDN=“L”来进行复位

(3) 这个周期是从 PDN=“H”之后 LRCK 上升沿数目的时间

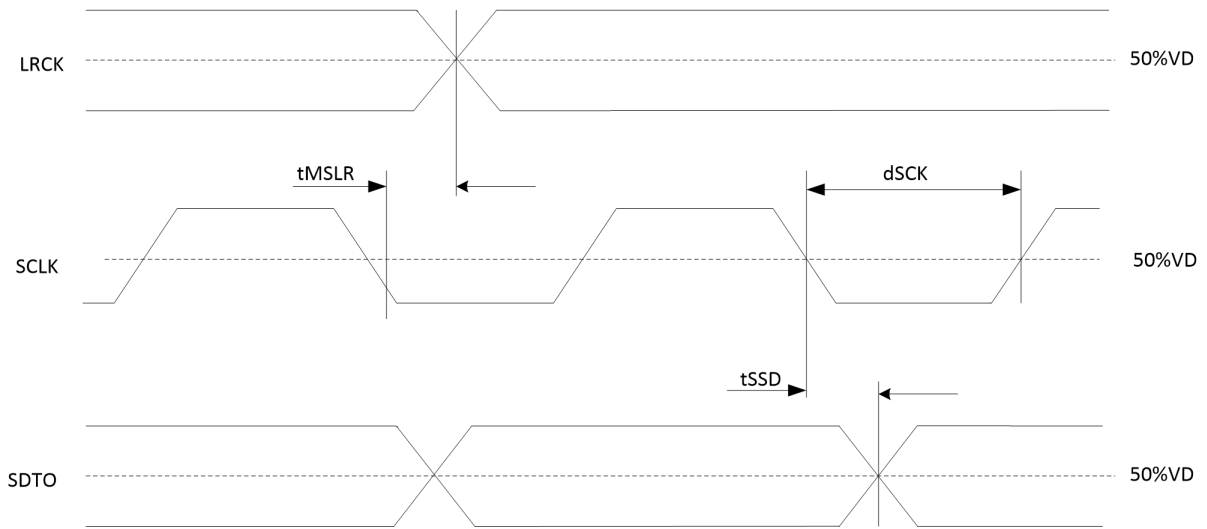
时序图



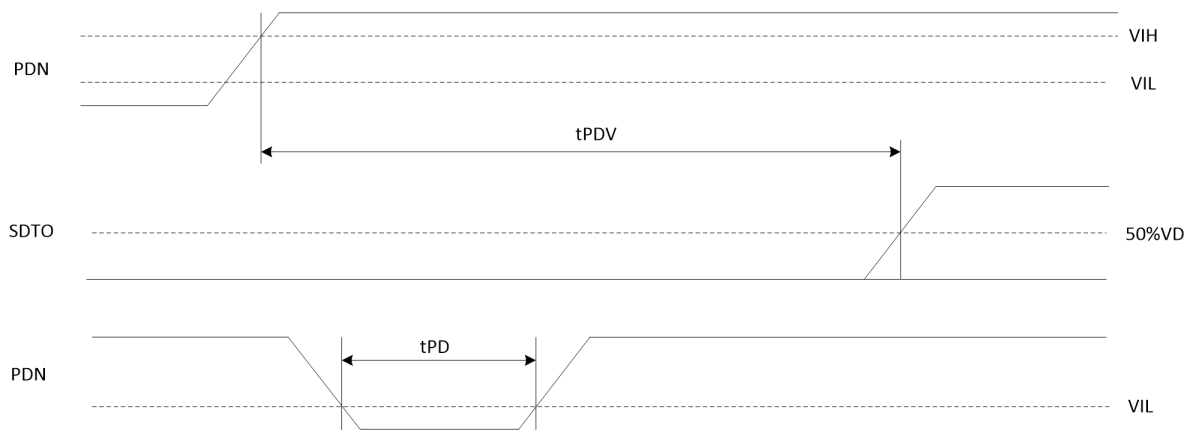
时钟时序



音频接口时序(从机模式)



音频接口时序(主机模式)



掉电&复位时序

功能描述

系统时钟

从机模式下需要 MCLK, SCLK 和 LRCK(fs)时钟, LRCK 时钟的输入必须与 MCLK 时钟同步, 但是相位不是其关键因素。表 1 显示了典型的采样频率和系统时钟频率的关系。表 2 显示了 MCLK, SCLK 和通过 CKS2-0 引脚来控制的主从机模式。

除非 PDN=“L”, 所有的外部时钟(MCLK,SCLK,LRCK) 必须存在。如果没有提供这些时钟, MS5358 可能由于使用内部动态刷新逻辑而汲取过量电流。如果外部时钟不存在, 那么 MS5358 需要被置为掉电模式(PDN=“L”)。在主模式下, 除非 PDN=“L”, 一定需要提供主时钟(MCLK)。

表 1. 系统时钟举例

fs	MCLK			
	256fs	384fs	512fs	768fs
32kHz	8.192MHz	12.288 MHz	16.384 MHz	24.576 MHz
44.1kHz	11.2896 MHz	16.9344 MHz	22.5792 MHz	33.8688 MHz
48 kHz	12.288 MHz	18.432 MHz	24.576 MHz	36.864 MHz
96 kHz	24.576 MHz	36.864 MHz	N/A	N/A

表 2. 工作模式选择

Mode	CKS2	CKS1	CKS0	Input Level	Master/Slave	MCLK	SCLK
0	L	L	L	CMOS	Slave	256/384fs(8k≤fs≤96k) 512/768fs(8k≤fs≤48k)	≥48fs 或 32fs ⁽¹⁾
1	L	L	H			Reserved	
2	L	H	L	CMOS	Master	256fs(8k≤fs≤96k)	64fs
3	L	H	H	CMOS	Master	512fs(8k≤fs≤48k)	64fs
4	H	L	L			Reserved	
5	H	L	H			Reserved	
6	H	H	L	CMOS	Master	384fs(8k≤fs≤96k)	64fs
7	H	H	H	CMOS	Master	768fs(8k≤fs≤48k)	64fs

(1) 当 SCLK = 32fs, SDTO 输出 16 位数据

音频接口格式

两种不同的数据格式通过 DIF 引脚(表 3)选择。在两种模式中，串行数据格式是以最高位优先且以 2 的补码的格式。在 SCLK 时钟的下降沿发生时 SDTO 时钟输出。音频接口支持两种模式(主从机模式)。在主机模式，SCLK 和 LRCK 输出频率与 f_s 的关系符合 SCLK 频率为 $64f_s$ ，LRCK 频率为 $1f_s$ 。

表 3. 音频接口选择

Mode	DIF	SDTO	LRCK	SCLK	图名
0	L	24bit, 最高位对齐	H/L	$\geq 48f_s$ 或 $32f_s$	图 1
1	H	24bit, I ² S 兼容	L/H	$\geq 48f_s$ 或 $32f_s$	图 2

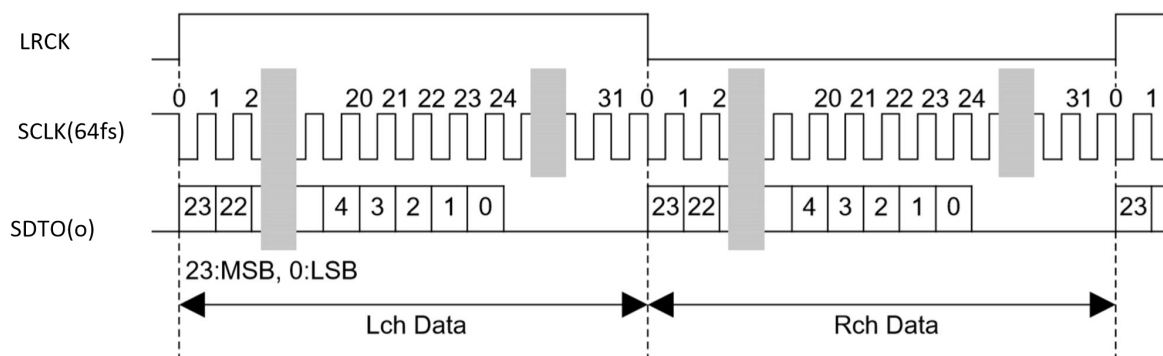


图 1. Mode 0 时序

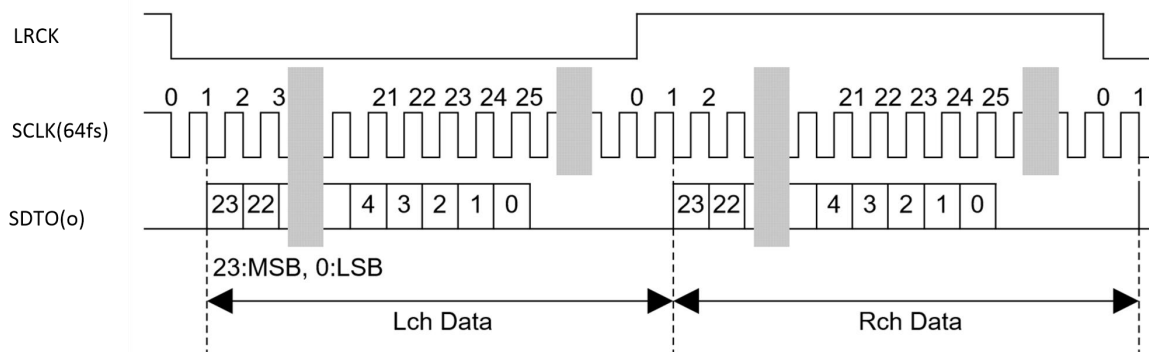


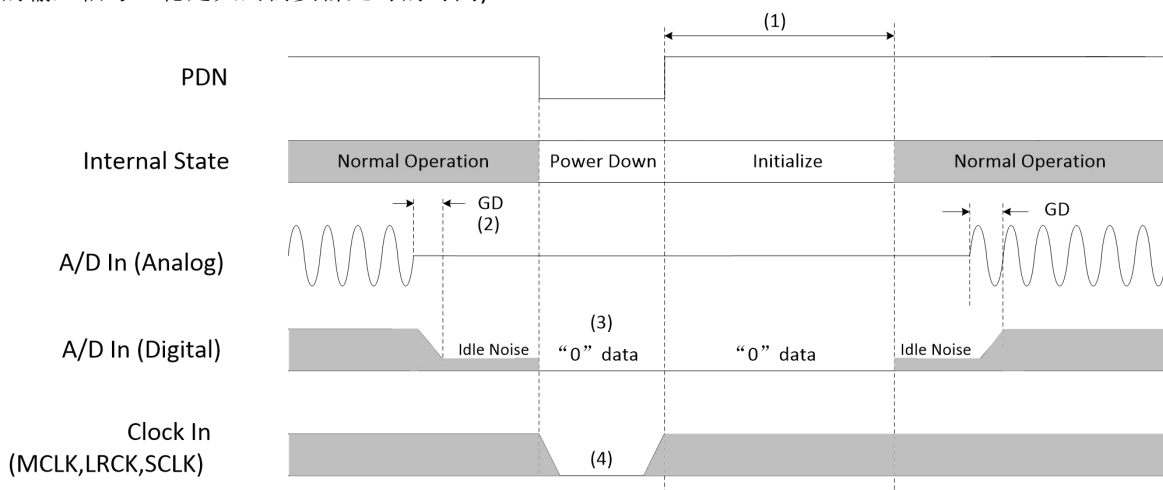
图 2. Mode 1 时序

数字高通滤波器

ADC 有一个数字高通滤波器来消除直流失调。高通滤波器的截止点是 $1.0\text{Hz} (@f_s = 48\text{kHz})$ 并且随着其采样频率(f_s)而扩展。

掉电

使 PDN=“L”时，MS5358 被置为掉电模式，数字滤波器同时被复位。在上电之后应该进行一次复位。在掉电模式中，VCOM 为 AGND 电平。当出现掉电模式之后一个模拟初始化周期开始。其中主模式下 4129 个 LRCK 时钟周期而从模式下 4132 个 LRCK 时钟周期后，输出数据 SDTO 有效。在初始化期间两个通道的 ADC 数字数据输出被置为 2 的补码“0”。初始化结束之后 ADC 的输出才逐渐符合对应的输入信号（稳定大约需要群延时的时间）。



- (1) 从模式 4132/fs，主模式 4129/fs
- (2) 模拟输入对应的数字输出之间有群延时(GD)
- (3) 在掉电状态 A/D 输出“0”
- (4) 当外部时钟 (MCLK,SCLK 和 LRCK) 停止时，MS5358 应该处于掉电状态

系统复位

在上电后，PDN=“L”，MS5358 会被立即复位。在从机模式，MCLK 退出复位和掉电状态之后内部时序通过 LRCK 的上升沿（模式 1 为下降沿）开始工作。直到 LRCK 输入否则需要将 MS5358 一直处于掉电状态。在主机模式，当 MCLK 输入，内部时序才开始。

系统设计

图 3 展示了系统连接图。

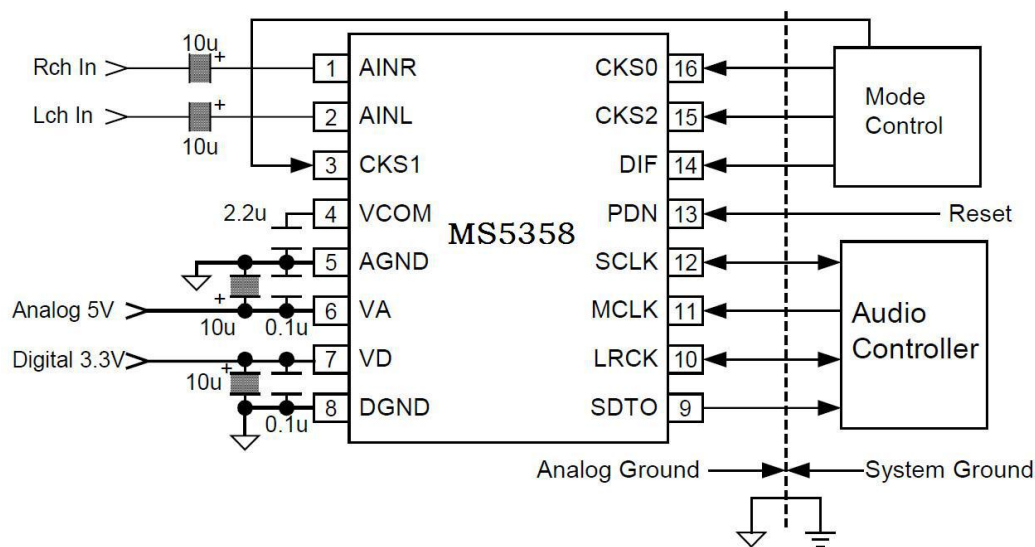


图 3. 典型连接图

1. MS5358 的 AGND 和 DGND 应该和外部数字器件(MPU,SDP 等)的地分开排布
2. 所有的数字输入引脚不应该悬空
3. CKS1 引脚应该被连接到 VA 或 AGND

地和电源退耦

MS5358 需要特别小心电源和地的排布。另外如果 VA 和 VD 分开，它们的上电顺序并不是关键。MS5358 的 AGND 和 DGND 一定要连接在同一个模拟地上。系统的模拟地和数字地应该被连在一起，并且要靠近印刷电路板地的供电处。退耦电容应该尽可能靠近 MS5358，并且小的陶瓷电容应该靠最近。

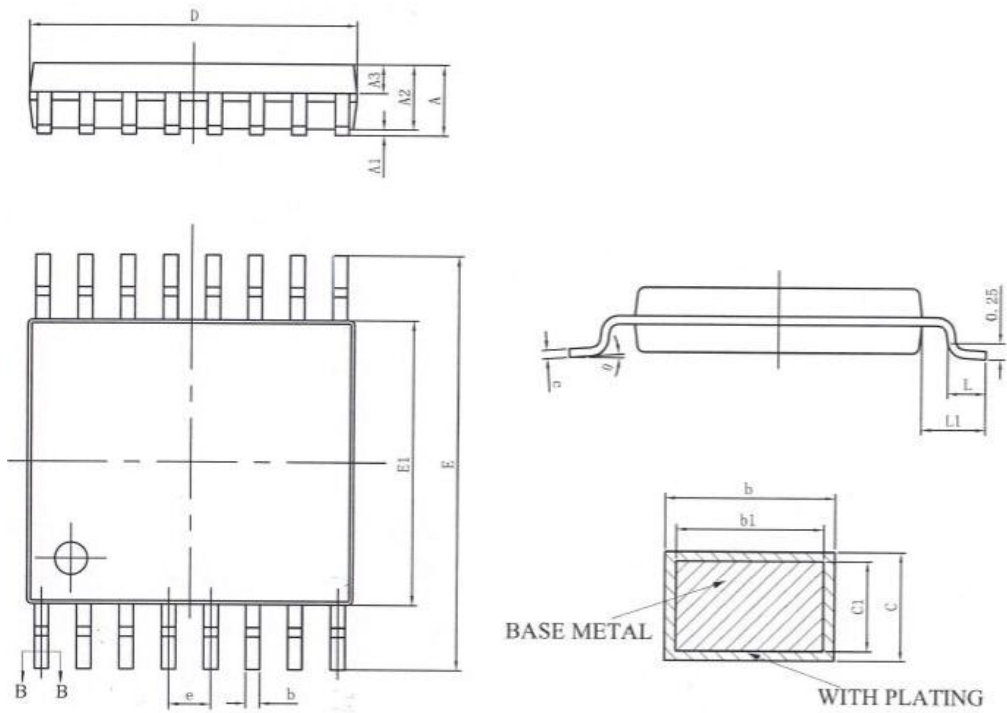
电源基准

模拟电压输入范围是由 VA 设置，VCOM 是 50%的 VA。一个 2.2uF 电容贴在 VCOM 引脚。为了避免带入 MS5358 不需要的藕和，所有信号特别是时钟应该远离 VCOM 引脚。

模拟输入

ADC 输入是单端而且内部通过 20kΩ电阻偏置在共模电压(50%VA)(典型@fs=48kHz)。输入信号范围随着电源电压扩张，正常情况为 0.6*VA Vpp(典型)。ADC 输出数据格式是 2 的补码。内部高通滤波器消除直流失调电压。

封装外形图



符号	毫米		
	最小	典型	最大
A	-	-	1.20
A1	0.05	-	0.15
A2	0.90	1.00	1.05
A3	0.39	0.44	0.49
b	0.20	-	0.29
b1	0.19	0.22	0.25
c	0.13	-	0.18
c1	0.12	0.13	0.14
D	4.86	4.96	5.06
E	6.20	6.40	6.60
E1	4.30	4.40	4.50
e	0.65BSC		
L	0.45	0.60	0.75
L1	1.00BSC		
θ	0	-	8°

印章与包装规范

1. 印章内容介绍



产品型号：MS5358

生产批号：XXXXXX

2. 印章规范要求

采用激光打印，整体居中且采用 Arial 字体。

3. 包装规范说明

型号	封装形式	只/盘	盘/盒	只/盒	盒/箱	只/箱
MS5358	TSSOP16	3000	1	3000	8	24000

声明

- 瑞盟保留说明书的更改权，恕不另行通知！客户在下单前应获取最新版本资料，并验证相关信息是否完整。
- 在使用瑞盟产品进行系统设计和整机制造时，买方有责任遵守安全标准并采取相应的安全措施，以避免潜在失败风险可能造成的人身伤害或财产损失！
- 产品提升永无止境，本公司将竭诚为客户提供更优秀的产品！



MOS电路操作注意事项

静电在很多地方都会产生，采取下面的预防措施，可以有效防止 MOS 电路由于受静电放电的影响而引起的损坏：

- 1、操作人员要通过防静电腕带接地。
- 2、设备外壳必须接地。
- 3、装配过程中使用的工具必须接地。
- 4、必须采用导体包装或抗静电材料包装或运输。



+86-181 2023 5245



武汉市江夏区光谷大道联
享企业中心G栋二单元901
室



<https://www.vertex-icbuy.com/>